

METHOD FOR MANUFACTURING THIN FILM TRANSISTOR AND LIQUID CRYSTAL DISPLAY UNIT

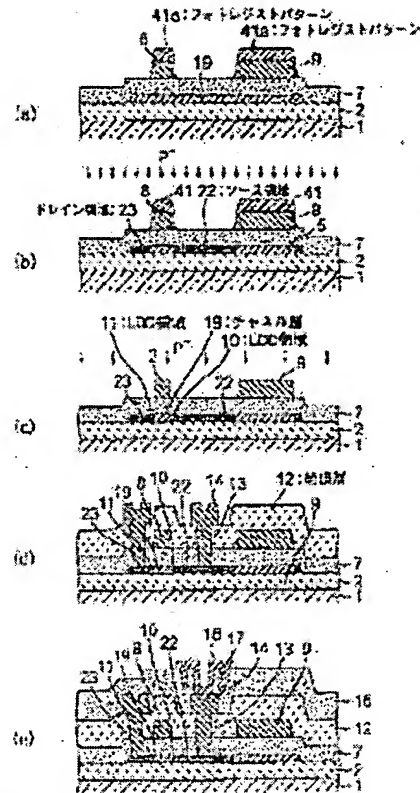
Patent number: JP2001332743
 Publication date: 2001-11-30
 Inventor: NAKAYAMA NORIO
 Applicant: TOKYO SHIBAURA ELECTRIC CO
 Classification:
 - international: H01L29/786; H01L21/336; G02F1/1368; G03F7/40
 - european:
 Application number: JP20000155071 20000525
 Priority number(s): JP20000155071 20000525

Report a data error here

Abstract of JP2001332743

PROBLEM TO BE SOLVED: To provide a method for manufacturing a thin film transistor and a method for manufacturing a liquid crystal display unit which can decrease steps of forming an LDD region which mitigates an electric field in the vicinity of a drain of an active layer of the thin film transistor.

SOLUTION: This method comprises the steps of forming a semiconductor layer on one major surface of a substrate; forming an insulation layer coating a semiconductor layer; forming a metal film on the insulation layer; forming a photoresist film on the metal film to form a photoresist pattern corresponding to a pattern as a gate electrode; etching the metal film with the photoresist pattern as a mask to form the gate electrode; deforming the photoresist pattern to form a wide photoresist pattern projecting only by a predetermined dimension on both sides of the gate electrode; doping high concentration ions on a semiconductor layer with the wide photoresist pattern as a mask; removing the wide photoresist pattern; and doping low concentration ions on the semiconductor layer with the gate electrode as a mask.



Data supplied from the esp@cenet database - Worldwide

Best Available Copy

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-332743

(P2001-332743A)

(43) 公開日 平成13年11月30日 (2001. 11. 30)

(51) Int.Cl. ⁷	識別記号	F I	ナコード (参考)
H 0 1 L 29/785		G 0 3 F 7/40	5 2 1 2 H 0 9 2
21/336		H 0 1 L 29/78	6 1 6 A 2 H 0 9 6
G 0 2 F 1/1368		G 0 2 F 1/136	5 0 0 5 F 1 1 0
G 0 3 F 7/40	5 2 1	H 0 1 L 29/78	6 2 7 C

審査請求 未請求 請求項の数 6 O L (全 5 頁)

(21) 出願番号 特願2000-155071 (P2000-155071)

(22) 出願日 平成12年5月25日 (2000. 5. 25)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 仲 山 則 夫

埼玉県深谷市幡起町1-9-2 株式会社

東芝深谷工場内

(74) 代理人 100064285

弁理士 佐藤 一雄 (外 3 名)

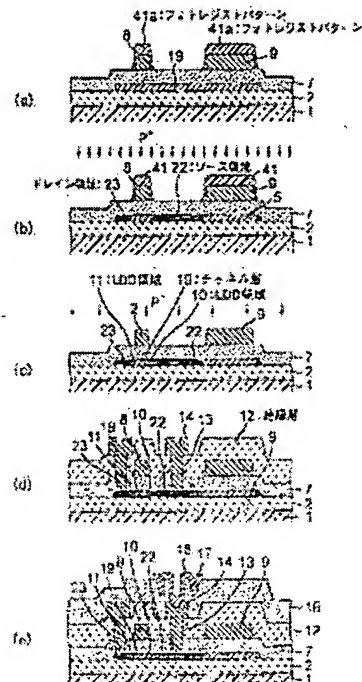
最終頁に続く

(54) 【発明の名称】 薄膜トランジスタの製造方法及び液晶表示装置の製造方法

(57) 【要約】

【課題】 薄膜トランジスタの活性層のドレイン近傍の電界を緩和するLDD領域を作成するための工程を減らすことのできる薄膜トランジスタの製造方法及び液晶表示装置の製造方法を提供する。

【解決手段】 基板の一主面に半導体層を形成する工程と、半導体層を覆って絶縁層を形成する工程と、絶縁層上に金属膜を形成する工程と、金属膜上にフォトリソ膜を形成し、ゲート電極となるパターンに対応するフォトリソパターンを形成する工程と、フォトリソパターンをマスクとして金属膜をエッチングしてゲート電極を形成する工程と、フォトリソパターンを変形させてゲート電極の両側に所定の寸法だけのみ出した広幅フォトリソパターンを形成する工程と、広幅フォトリソパターンをマスクとして半導体層に高濃度のイオンをドーピングする工程と、広幅フォトリソパターンを除去する工程と、ゲート電極をマスクとして半導体層に低濃度のイオンをドーピングする工程と、を有する。



【特許請求の範囲】

【請求項1】 基板の一主面に半導体層を形成する工程と、
前記半導体層を覆って絶縁層を形成する工程と、
前記絶縁層上に金属膜を形成する工程と、
前記金属膜上にフォトリソist膜を形成し、ゲート電極となるパターンに対応するフォトリソistパターンを形成する工程と、
前記フォトリソistパターンをマスクとして前記金属膜をエッチングしてゲート電極を形成する工程と、
前記フォトリソistパターンを変形させて前記ゲート電極の両側に所定の寸法だけはみ出した広幅フォトリソistパターンを形成する工程と、
前記広幅フォトリソistパターンをマスクとして前記半導体層に高濃度のイオンをドーピングする工程と、
前記広幅フォトリソistパターンを除去する工程と、
前記ゲート電極をマスクとして前記半導体層に低濃度のイオンをドーピングする工程と、
を有することを特徴とする薄膜トランジスタの製造方法。

【請求項2】 基板の一主面に半導体を形成する工程と、
前記半導体層を覆って絶縁層を形成する工程と、
前記絶縁層上に金属膜を形成する工程と、
前記金属膜上にフォトリソist膜を形成し、ゲート電極となるパターンに対応するフォトリソistパターンを形成する工程と、
前記フォトリソistパターンをマスクとして前記金属膜をエッチングしてゲート電極を形成する工程と、
前記フォトリソistパターン及び前記ゲート電極をマスクとして前記半導体層に低濃度のイオンをドーピングする工程と、
前記フォトリソistパターンを変形させて前記ゲート電極の両側に所定の寸法だけはみ出した広幅フォトリソistパターンを形成する工程と、
前記広幅フォトリソistパターンをマスクとして前記半導体層に高濃度のイオンをドーピングする工程と、
前記広幅フォトリソistパターンを除去する工程と、
を有することを特徴とする薄膜トランジスタの製造方法。

【請求項3】 前記広幅フォトリソistパターンを形成する工程は、前記フォトリソistパターンを熱処理し軟化させて行うことを特徴とする請求項1または2のいずれかに記載の薄膜トランジスタの製造方法。

【請求項4】 前記半導体層は、多結晶シリコンからなることを特徴とする請求項1または2のいずれかに記載の薄膜トランジスタの製造方法。

【請求項5】 前記イオンは、 n 型を示すことを特徴とする請求項1または2のいずれかに記載の薄膜トランジスタの製造方法。

【請求項6】 基板の一主面に配設された複数本の信号線

及びこの信号線と交差するように配設された複数本の走査線との交差部に設けられ、それぞれ前記信号線の信号電圧と前記走査線の走査電圧によって液晶表示素子を表示制御する薄膜トランジスタを請求項1又は請求項2に記載の製造方法を用いて製造する液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はトップゲート型の薄膜トランジスタの製造方法及びこの薄膜トランジスタの製造方法を用いて製造する液晶表示装置の製造方法に関する。

【0002】

【従来の技術】 近年、液晶を用いた表示装置は、小型化、低消費電力化の要求が高まっており、駆動回路をガラス基板上に一体化することが求められ、ガラス基板上に多結晶シリコンによりスイッチング素子である薄膜トランジスタをアレイ状に形成する方法が用いられている。以下、絶縁性基板の一主面に配設された複数本の信号線及びこの信号線と交差するように配設された複数本の走査線との交差部に設けられ、それぞれ信号線の信号電圧と走査線の走査電圧によって液晶表示素子を表示制御する薄膜トランジスタの製造方法について説明する。

【0003】 先ず、ガラス基板上に、膜厚が約50nmのアモルファスシリコン層を堆積する。次に、アモルファスシリコン層にエキシマレーザを照射し、多結晶シリコン層を形成する。続いて、多結晶シリコン層を島状にパターニングし、このパターニングした多結晶シリコン層を覆うように全面に酸化ケイ素のゲート絶縁膜を堆積形成し、さらに、ゲート電極及び補助容量電極を形成するための金属膜を堆積する。

【0004】 次に、フォトリソist膜を堆積し、これをパターニングして、ゲート電極及び容量補助線に対応するパターンを有するフォトリソistパターンを形成する。

【0005】 次に、金属膜をエッチング加工して、ゲート電極及び補助容量電極のパターンを形成する。次に、フォトリソistパターンを剥離して除去したのち、ゲート電極及び補助容量電極の上方より、低濃度にて隣(P)イオンをドーピングして、ゲート電極の下方にチャネル層を形成すると共に、このチャネル層に隣接して導電性を示す n 型の多結晶半導体領域を作成する。

【0006】 次に、ゲート電極の両側に所定の寸法だけはみ出すようにフォトリソistのパターンを形成し、続いて、このフォトリソistのパターンをマスクとして高濃度にて隣(D)イオンをドーピングし、ソース領域とドレイン領域を形成する。

【0007】 さらに、フォトリソistパターンを除去した後、酸化ケイ素(SiO_x)の層を絶縁層を形成し、ソース、ドレイン領域に開口を穿設し、ソース電極及びド

レイン電極を形成する。続いて、画素電極をソース電極に接して形成する。

【0008】上述したものは、チャネル層を挟んでn型の多結晶半導体領域を接続し、さらに、その外側にソース領域及びドレイン領域を接続した構造になっている。このn型の多結晶半導体領域はLDD (Lightly Doped Drain) 領域と呼ばれ、ソース領域及びドレイン領域と比較して抵抗値が高くなっている。この構造は多結晶シリコンを活性層として利用した薄膜トランジスタの動作において、ゲート電極にゲートをオフ状態にする電圧を印加した場合の薄膜トランジスタの活性層領域近傍での空乏層の電界を緩和することができるため、リーク電流の少ない安定した特性の薄膜トランジスタの作成が可能となる。

【0009】

【発明が解決しようとする課題】しかしながら、上述の工程でチャネル層を挟むn型のLDD領域及びソース領域、ドレイン領域を形成する工程に、フォトレジストパターン工程が2工程必要となる。このため、工程が煩雑となり、これが歩留まり低下の一因になっていた。また、工程が増える分だけ装置コストが余分にかかるため、液晶パネルのコストダウンを阻害していた。

【0010】本発明は、上記の問題点を解決するためになされたもので、薄膜トランジスタの活性層のドレイン近傍の電界を緩和するLDD領域を作成のための工程を減らすことができ、これによって製品歩留まりを向上させると共に、装置コスト及び液晶パネルコストの低減を図り得る薄膜トランジスタの製造方法及びこの薄膜トランジスタの製造方法を用いて製造する液晶表示装置の製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明は、基板の一主面に半導体層を形成する工程と、半導体層を覆って絶縁層を形成する工程と、絶縁層上に金属膜を形成する工程と、金属膜上にフォトレジスト膜を形成し、ゲート電極となるパターンに対応するフォトレジストパターンを形成する工程と、フォトレジストパターンをマスクとして金属膜をエッチングしてゲート電極を形成する工程と、フォトレジストパターンを変形させてゲート電極の両側に所定の寸法だけはみ出した広幅フォトレジストパターンを形成する工程と、広幅フォトレジストパターンをマスクとして半導体層に高濃度のイオンをドーピングする工程と、広幅フォトレジストパターンを除去する工程と、ゲート電極をマスクとして半導体層に低濃度のイオンをドーピングする工程と、を有することを特徴とする。

【0012】

【発明の実施の形態】以下、本発明を図面に示す好適な実施形態に基づいて詳細に説明する。

【0013】図1及び図2は本発明に係る薄膜トランジ

スタ及び液晶表示装置の製造工程を示す断面図である。

【0014】ここでは、まず、図1(a)に示すように、ガラス基板1上に、例えば、酸化ケイ素(SiO_x)でなる絶縁層2を形成し、この絶縁層2上に膜厚が約50nmのアモルファスシリコン層3を堆積する。

【0015】次に、図1(b)に示すように、アモルファスシリコン層3にエキシマレーザを照射し、アモルファスシリコン層3を多結晶シリコン層5とする。

【0016】次に、図1(c)に示すように、多結晶シリコン層5を島状にパターンニングし、このパターンニングした多結晶シリコン層5を覆うように全面に酸化ケイ素よりなるゲート絶縁膜7を堆積形成し、さらに、ゲート電極及び補助容量電極を形成するための金属膜20を堆積する。

【0017】次に、図1(d)に示すように、フォトレジスト膜を堆積し、これをパターンニングして、ゲート電極及び容量補助線に対応するパターンを有するフォトレジストパターン41を形成する。

【0018】次に、図1(e)に示すように、金属膜20をエッチング加工して、ゲート電極8及び補助容量電極9のパターンを形成する。

【0019】次に、図2(a)に示すように、基板全体を加熱処理してフォトレジストパターン41を軟化させ、ゲート電極パターンよりもソース領域、ドレイン領域の方向に広がった広幅フォトレジストパターン41aを形成する。この場合、フォトレジストとして、例えば、ノボラック樹脂に感光剤を混合したものをを用いるとすれば、約200℃で1分間の加熱を行う。

【0020】次に、図2(b)に示すように、広幅フォトレジストパターン41aをマスクとしてその上方より陽(P)イオンを高濃度でドーピングして、表面に広幅フォトレジストパターン41aの存在しない領域にソース領域22及びドレイン領域23を形成する。

【0021】次に、図2(c)に示すように、広幅フォトレジストパターン41aをアッシング処理により除去した後、ゲート電極8及び補助容量電極9をマスクとしてその表面より陽(P)イオンを低濃度でドーピングする。これにより、ゲート電極8の下方にチャネル層19が形成されると共に、このチャネル層19とソース領域22及びドレイン領域23との間にLDD領域10及び11が形成される。次に、図2(d)に示すように、酸化ケイ素(SiO_x)の絶縁層12を堆積して形成し、ソース領域及びドレイン領域上に開口13を穿設し、ソース・ドレイン電極14を形成し、薄膜トランジスタを形成する。

【0022】次に、図2(e)に示すように、酸化ケイ素の絶縁層16を形成し、この絶縁層16に開口17を穿設したのち、この開口17に画素電極18を形成形成する。

【0023】上記の工程により、ゲート電極にゲートを

オフ状態にする電圧が印加された場合に、活性層のドレイン領域近傍の空乏層における電界を緩和するためのLDD領域10、11を、1回のレジストパターン工程とその加熱処理のみで製作することが可能となり、2回のレジストパターンニング工程を必要とする従来の製造方法と比較して工程数が少なくなり、これによって、製品歩留まりを向上させると共に、装置コスト及び液晶パネルコストの低減を図ることができる。

【0024】なお、上記実施形態の変形例として、ゲート電極8のパターンニングに用いたフォトレジストパターン41を軟化させる前に隣(P)イオンを低濃度でドーピングしてLDD領域10、11とするための半導体領域を形成し、その後、基板全体を加熱処理してフォトレジストパターン41を軟化させて広幅フォトレジストパターン41aを形成した後、隣(P)イオンを高濃度でドーピングしてソース領域22及びドレイン領域23を形成することもできる。

【0025】このような方法によっても、2回のレジストパターンニング工程を必要とする従来の製造方法と比較して工程数が少なくなり、これによって、製品歩留まりを向上させると共に、装置コスト及び液晶パネルコストの低減を図ることができる。

【0026】なお、上記実施形態ではドーピングするイオンとして隣(P)イオンを用いたが、真性の多結晶シリコンにドーピングしてn型を示す他の不純物として、例えば、砒素(As)イオンを用いることもできる。

【0027】また、上記の実施形態では、ソース領域、ドレイン領域がn型の多結晶シリコンである、いわゆる、nチャネルの薄膜トランジスタについて説明したが、ソース領域及びドレイン領域がp型の多結晶シリコンであるpチャネルの薄膜トランジスタの製造においても上述した工程を採用することによって、同様の効果が得られる。pチャネルの薄膜トランジスタの場合には、ドーピングする不純物としてホウ素(B)等を用いればよい。

【0028】さらにまた、上記実施形態では、多結晶半

導体として、その母体となる半導体をシリコンとしたが、この母体となる半導体はシリコンに限らず、ゲルマニウム、あるいは、シリコンとゲルマニウムの共晶体等でも良い。

【0029】

【発明の効果】以上の説明によって明らかなように、本発明によれば、薄膜トランジスタの活性層のドレイン近傍の電界を緩和するLDD領域を作成するための工程を減らすことができ、これによって製品歩留まりを向上させると共に、装置コスト及び液晶パネルコストの低減を図り得る薄膜トランジスタの製造方法及びこの薄膜トランジスタの製造方法を用いて製造する液晶表示装置の製造方法を提供することができる。

【図面の簡単な説明】

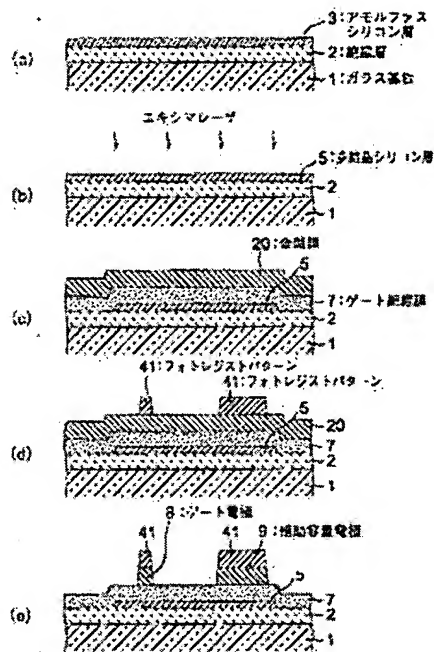
【図1】本発明に係る薄膜トランジスタの製造工程及び液晶表示装置の製造工程を示す断面図。

【図2】本発明に係る薄膜トランジスタの製造工程及び液晶表示装置の製造工程を示す断面図。

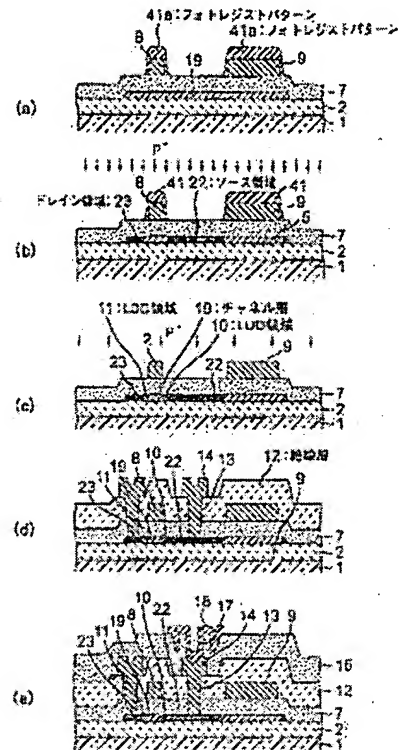
【符号の説明】

- 1 ガラス基板
- 2, 12, 16 絶縁層
- 3 アモルファスシリコン層
- 5 多結晶シリコン層
- 7 ゲート絶縁膜
- 8 ゲート電極
- 9 補助容量電極
- 10, 11 LDD領域
- 13, 17 開口
- 14 ソース・ドレイン電極
- 18 画素電極
- 19 チャネル層
- 20 金属膜
- 22 ソース領域
- 23 ドレイン領域
- 41 フォトレジストパターン
- 41a 広幅フォトレジストパターン

【図1】



【図2】



フロントページの続き

Fターム(参考) 2H092 HA06 JA26 JA28 JA37 JB63
 JB64 KA04 KA05 KA07 KB24
 KB25 MA15 MA17 MA27 MA30
 NA24 NA27 NA29
 2H096 AA27 CA05 HA11 HA13 HA30
 JA04 LA06
 5F110 AA16 CC02 DD02 DD13 FF02
 GG01 GG02 GG03 GG13 GG25
 HH01 HH12 HH13 HH15 NN02
 NN03 NN23 NN24 NN72 PP03
 QQ02 QQ10 QQ11